



PTO/SB/21 (08-03)

Approved for use through 08/30/2003. OMB 0651-0031
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

TRANSMITTAL FORM (to be used for all correspondence after initial filing)		Application Number	10/751,200
		Filing Date	12/30/2003
		First Named Inventor	Kyung Hee KOH
		Art Unit	
		Examiner Name	
Total Number of Pages in This Submission	13	Attorney Docket Number	PIA31221/DBE/US

ENCLOSURES (Check all that apply)		
<input type="checkbox"/> Fee Transmittal Form <input type="checkbox"/> Fee Attached <input type="checkbox"/> Amendment/Reply <input type="checkbox"/> After Final <input type="checkbox"/> Affidavits/declaration(s) <input type="checkbox"/> Extension of Time Request <input type="checkbox"/> Express Abandonment Request <input type="checkbox"/> Information Disclosure Statement <input checked="" type="checkbox"/> Certified Copy of Priority Document(s) <input type="checkbox"/> Response to Missing Parts/Incomplete Application <input type="checkbox"/> Response to Missing Parts under 37 CFR 1.52 or 1.53	<input type="checkbox"/> Drawing(s) <input type="checkbox"/> Licensing-related Papers <input type="checkbox"/> Petition <input type="checkbox"/> Petition to Convert to a Provisional Application <input type="checkbox"/> Power of Attorney, Revocation Change of Correspondence Address <input type="checkbox"/> Terminal Disclaimer <input type="checkbox"/> Request for Refund <input type="checkbox"/> CD, Number of CD(s) _____	<input type="checkbox"/> After Allowance communication to Technology Center (TC) <input type="checkbox"/> Appeal Communication to Board of Appeals and Interferences <input type="checkbox"/> Appeal Communication to TC (Appeal Notice, Brief, Reply Brief) <input type="checkbox"/> Proprietary Information <input type="checkbox"/> Status Letter <input checked="" type="checkbox"/> Other Enclosure(s) (please identify below):
Remarks 1. Claim for Priority 2. Return Receipt Postcard		

SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT	
Firm or Individual name	Andrew D. Fortney, Ph.D., Reg. No. 34,600
Signature	
Date	January 27, 2004

CERTIFICATE OF TRANSMISSION/MAILING			
I hereby certify that this correspondence is being facsimile transmitted to the USPTO or deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on the date shown below.			
Typed or printed name	Andrew D. Fortney, Ph.D.		
Signature		Date	January 27, 2004

This collection of information is required by 37 CFR 1.5. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: **Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



Patent No. PIA31221/DBE/US

IN THE UNITED STATES PATENT & TRADEMARK OFFICE

IN RE APPLICATION OF:

:

Kyung Hee KOH

: GROUP ART UNIT:

SERIAL NO: 10/751,200

:

FILED: December 30, 2003

: EXAMINER:

FOR: Method for Packaging a Multi-Chip Module of a Semiconductor Device

I hereby certify that this document is being deposited with the United States Postal Service as first class mail in an envelope addressed to Commissioner for Patents, Washington, D.C. 20231, on January 27, 2004.

By:

Andrew D. Fortney

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119(a)-(b) AND 37 C.F.R. 1.55

COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231

SIR:

Applicant respectfully requests under the Paris Convention for the Protection of Intellectual Property the benefit of the filing date of the prior foreign application(s) identified below:

<u>Serial No.</u>	<u>Filing Date</u>	<u>Country of Filing</u>
10-2002-0086243	December 30, 2002	Republic of KOREA

A certified copy of the above-identified priority application is attached.

Respectfully submitted,

Andrew D. Fortney, Ph.D.
Reg. No. 34,600

7257 N. Maple Avenue, Bldg. D, #107
Fresno, California 93720
(559) 299 - 0128



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2002-0086243
Application Number

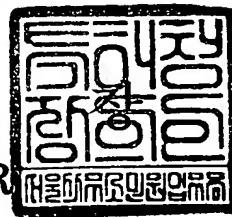
출원년월일 : 2002년 12월 30일
Date of Application DEC 30, 2002

출원인 : 동부전자 주식회사
Applicant(s) DONGBU ELECTRONICS CO., LTD.



2003 년 12 월 24 일

특 허 청
COMMISSIONER





919980005148



10111010000000000000



0000029000

방 식 심 사 관	담 당	심 사 관

【서류명】 특허출원서**【권리구분】** 특허**【수신처】** 특허청장**【참조번호】** 0033**【제출일자】** 2002.12.30**【발명의 국문명칭】** 반도체용 멀티 칩 모듈의 패키징 방법**【발명의 영문명칭】** PACKAGING METHOD OF MULTI CHIP MODULE FOR SEMICONDUCTOR**【출원인】****【명칭】** 동부전자 주식회사**【출원인코드】** 1-1998-106725-7**【대리인】****【성명】** 장성구**【대리인코드】** 9-1998-000514-8**【포괄위임등록번호】** 1999-059722-7**【대리인】****【성명】** 김원준**【대리인코드】** 9-1998-000104-8**【포괄위임등록번호】** 1999-059725-9**【발명자】****【성명의 국문표기】** 고경희**【성명의 영문표기】** KOH, KYUNG HEE**【주민등록번호】** 630704-1255419**【우편번호】** 153-832**【주소】** 서울특별시 금천구 독산2동 1069번지 호정타워아파트 1304호**【국적】** KR

【취지】 특허법 제42조의 규정에 의하여 위와 같이 출원합니다.

대리인 장성구 (인)

대리인 김원준 (인)

【수수료】

【기본출원료】 10 면 29,000 원

【가산출원료】 0 면 0 원

【우선권 주장료】 0 건 0 원

【심사청구료】 0 항 0 원

【합계】 29,000 원

【첨부서류】 1. 요약서· 명세서(도면)_1통

【요약서】

【요약】

본 발명은 반도체용 멀티 칩 모듈의 패키징 방법에 관한 것으로, 이방성 전도 접착 필름에 회로를 패터닝한 테이프를 이용하여 표면실장 패키지 모듈의 칩 스케일 패키지를 실현하며, 기존 칩 스케일 패키지에서 사용하는 언더필 공정을 이방성 전도 접착제로 대체하며 C4 공정을 적용함으로써 공정이 단축되어 수율이 향상되고, 외부 리드로 테이프를 사용함으로써 사용자가 원하는 위치에 자유자재로 실장할 수 있으며 굴곡 배선이 가능한 이점이 있다.

【대표도】

도 5

【명세서】

【발명의 명칭】

반도체용 멀티 칩 모듈의 패키징 방법{PACKAGING METHOD OF MULTI CHIP
MODULE FOR SEMICONDUCTOR}

【도면의 간단한 설명】

<1> 도 1 내지 도 5는 본 발명에 따른 반도체용 멀티 칩 모듈의 패키징 과정을 설명하기 위한 단면도.

<2> <도면의 주요 부분에 대한 부호의 설명>

<3> 110 : 테이프 120 : 이방성 전도 접착제

<4> 130 : 칩 140 : 볼 단자

<5> 150 : PCB 기판

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<6> 본 발명은 반도체용 멀티 칩 모듈의 패키징 방법에 관한 것으로, 더욱 상세하게는 이방성 전도 접착 필름(Anisotropic Conductive adhesive Film)에 회로를 패터닝한 테이프를 이용하여 표면실장 패키지 모듈의 칩 스케일 패키지(Chip Scale Package)를 실현하도록 한 반도체용 멀티 칩 모듈의 패키징 방법에 관한 것이다.

<7> 실리콘 웨이퍼에 가공된 칩을 외부환경으로부터 보호하고 회로 부품, 기판과 연결시켜 주는 반도체 패키징 기술은 눈부신 발전을 거듭하고 있으며, 삽입 실장형

패키지 기술인 듀얼 인라인 패키지(DIP)는 오래 전에 사라졌고 스몰 아웃라인 패키지(SOP), 쿼드 플랫 패키지(QFP), 신SOP(TSOP), 페이퍼 신 패키지(PTP) 등의 표면 실장(Surface Mount) 패키지가 주를 이루고 있다.

<8> 한편, 반도체 장치는 날로 경박단소화 되어가고 고밀도화 되어 가는 추세에 있으며, 이에 대응하고자 상기와 같은 표면실장 패키지를 모듈화하기 위한 패키징 기술이 지속적으로 연구되고 있다.

<9> 그러나, 표면실장 패키지 모듈은 경박단소화의 실현에 있어서 어려움이 따르며, 이에 따라 칩과 패키지의 크기가 거의 차이가 없을 정도로 얇고 작게 패키지를 제작하는 칩 스케일 패키지(Chip Scale Package)가 요구된다.

【발명이 이루고자 하는 기술적 과제】

<10> 본 발명은 이와 같은 종래 요구 과제를 해결하기 위한 연구 노력의 한 결과물로서, 이방성 전도 접착 필름에 회로를 패터닝한 테이프를 이용하여 표면실장 패키지 모듈의 칩 스케일 패키지를 실현하도록 한 반도체용 멀티 칩 모듈의 패키징 방법을 제공하는 데 그 목적이 있다.

<11> 이와 같은 목적을 실현하기 위한 본 발명에 따른 반도체용 멀티 칩 모듈의 패키징 방법은, 이방성 전도 접착 필름에 회로를 패터닝한 테이프 위에 접착제를 도포하여 상기 테이프의 연결 단자와 칩의 본드 패드를 연결시켜 부착하는 단계와, 상기 칩의 상면에 접착제를 도포한 후 상기 테이프를 접어서 상기 칩의 상면에 부착하는 단계와, 상기 테이프의 하면에 상기 테이프의 연결 단자와 전기적으로 연결되도록 복수의 볼 단자를 형성하는 단계와, 상기의 개별 칩 스케일 패키지 제작 공



정을 반복 수행하여 필요한 만큼의 개별 칩 스케일 패키지를 제작하는 단계와, 임의의 상기 개별 칩 스케일 패키지의 상단에 다른 상기 개별 칩 스케일 패키지를 적층하되, 상층 개별 칩 스케일 패키지의 상기 볼 단자를 하층 개별 칩 스케일 패키지를 덮고 있는 상기 테이프의 패턴된 회로에 접촉시켜 전기적으로 도통시키며, 상기 적층 공정을 필요한 수만큼 반복 수행하는 단계를 포함한다.

【발명의 구성】

<12> 본 발명의 실시예로는 다수개가 존재할 수 있으며, 이하에서는 첨부한 도면을 참조하여 바람직한 실시예에 대하여 상세히 설명하기로 한다. 이 실시예를 통해 본 발명의 목적, 특징 및 이점들을 보다 잘 이해할 수 있게 된다.

<13> 본 발명에 따른 반도체용 멀티 칩 모듈의 패키징 과정을 도 1 내지 도 5를 참조하여 설명하면 다음과 같다.

<14> 도 1을 참조하면, 이방성 전도 접착 필름(Anisotropic Conductive adhesive Film)에 회로를 패턴화하여 테이프(110)를 제작한 후, 테이프(110) 위에 이방성 전도 접착제(120)를 도포하여 테이프(100)의 연결 단자와 칩(130)의 본드 패드를 C4 공정으로 연결시킨다.

<15> 여기서, 이방성 전도 접착 필름은 x, y가 아닌 z 방향으로만 도통되면서 전도성을 가지며 접착제 역할을 겸한다. 아울러 칩(130)의 본드 패드와 연결되면 내부 이방성 전도 물질이 서로 도통시켜 주면서 외부로 전기신호를 보내주는 기능을 수행한다.

<16> C4(Controlled Collapse Chip Connection) 공정은 플립 칩(Flip Chip) 공정

과 비슷한 기술로서, 플립 칩 공정에서 사용하는 언더필(Underfill) 과정이 필요 없고 이방성 전도 접착 필름(ACF)이 접착제와 언더필 역할을 하고 전기적 연결 단자 기능을 한다. 플립 칩 공정에서는 전기적 연결 단자끼리 많은 파워(Power) 및 포스(Force)와 단자끼리의 연결을 위해 정밀을 요하면서 연결을 시키지만 C4 공정은 이방성 접착제를 사용하기 때문에 많은 파워와 포스 및 높은 접점 정밀도가 요구되지 않는다.

<17> 도 2를 참조하면, 칩(130)의 상면에 열전도성 접착제를 도포한 후 테이프(110)를 접어서 칩(130)의 상면에 부착한다.

<18> 도 3을 참조하면, 테이프(110)의 하면에 테이프(110)의 연결 단자와 전기적으로 연결되도록 복수의 볼 단자(140)를 형성한다. 이로서 멀티 칩 모듈을 위한 개별 칩 스케일 패키지가 완성되는 것이다.

<19> 이후, 멀티 칩 모듈의 제작을 위해 필요한 만큼 도 1 내지 도 3을 참조하여 설명한 개별 칩 스케일 패키지 제작 공정을 반복 수행하여 필요한 만큼의 개별 칩 스케일 패키지를 제작한다.

<20> 도 4 및 도 5를 참조하면, 첫 번째 개별 칩 스케일 패키지(P1)의 상단에 두 번째 개별 칩 스케일 패키지(P2)를 적층하며, 두 번째 개별 칩 스케일 패키지(P2)의 상단에 세 번째 개별 칩 스케일 패키지(P3)를 적층한다. 이와 같은 적층 공정은 필요한 수만큼, 즉 제작된 개별 칩 스케일 패키지의 수만큼 반복 수행한다. 여기서 상층 개별 칩 스케일 패키지의 볼 단자(140)가 하층 개별 칩 스케일 패키지를 덮고 있는 테이프(110)의 패턴된 회로에 접촉되어 전기적으로 도통된다. 이로서 멀티 칩

모듈이 칩 스케일 패키지로 완성되는 것이다.

<21> 이후, 멀티 칩 모듈은 최하층 개별 칩 스케일 패키지의 볼 단자(140)를 PCB 기판(150) 또는 패턴된 기타 부위에 전기적으로 도통되도록 접착시켜 실장한다.

<22> 한편, 도 5에 나타낸 바와 같이 최상층 개별 칩 스케일 패키지(P3)의 제작시에는 칩(130)의 상면을 테이프(110)로 덮을 필요가 없으므로 테이프(110)가 칩(130)의 하면만을 커버하도록 제작하는 것이 바람직하다.

<23> 상기에서는 본 발명의 일 실시예에 국한하여 설명하였으나 본 발명의 기술이 당업자에 의하여 용이하게 변형 실시될 가능성이 자명하다. 이러한 변형된 실시예들은 본 발명의 특허청구범위에 기재된 기술사상에 포함된다고 하여야 할 것이다.

【발명의 효과】

<24> 전술한 바와 같이 본 발명은 이방성 전도 접착 필름에 회로를 패터닝한 테이프를 이용하여 표면실장 패키지 모듈의 칩 스케일 패키지가 실현 가능하며, 열전도성 접착제를 사용하여 칩 내부 열을 외부로 발산시킬 수 있다.

<25> 아울러, 칩 내부의 산화를 방지하고 신뢰성을 향상시키고자 모든 칩 스케일 패키지에서 사용하는 언더필 공정을 생략하고 이방성 전도 접착제로 대체하며, 모든 본드 패드를 한번에 본딩할 수 있는 C4 공정을 적용함으로써 기존 여러 단계의 공정이 단축되어 수율이 향상된다.

<26> 또한, 내부 리드의 다핀화 및 파인 피치(Fine Pitch)화가 가능하며, 외부 리드로 테이프를 사용함으로써 사용자가 원하는 위치에 자유자재로 실장할 수 있으며 굴곡 배선이 가능한 효과가 있다.

【특허청구범위】

【청구항 1】

이방성 전도 접착 필름에 회로를 패터닝한 테이프 위에 접착제를 도포하여 상기 테이프의 연결 단자와 칩의 본드 패드를 연결시켜 부착하는 제 1 단계와,

상기 칩의 상면에 접착제를 도포한 후 상기 테이프를 접어서 상기 칩의 상면에 부착하는 제 2 단계와,

상기 테이프의 하면에 상기 테이프의 연결 단자와 전기적으로 연결되도록 복수의 볼 단자를 형성하는 제 3 단계와,

상기 제 1 내지 제 3 단계를 포함하는 개별 칩 스케일 패키지 제작 공정을 반복 수행하여 필요한 만큼의 개별 칩 스케일 패키지를 제작하는 제 4 단계와,

임의의 상기 개별 칩 스케일 패키지의 상단에 다른 상기 개별 칩 스케일 패키지를 적층하되, 상층 개별 칩 스케일 패키지의 상기 볼 단자를 하층 개별 칩 스케일 패키지를 덮고 있는 상기 테이프의 패터닝 회로에 접촉시켜 전기적으로 도통시키며, 상기 적층 공정을 필요한 수만큼 반복 수행하는 제 5 단계를 포함하는 반도체용 멀티 칩 모듈의 패키징 방법.

【청구항 2】

제 1 항에 있어서,

상기 적층된 개별 칩 스케일 패키지 중에서 최하층 개별 칩 스케일 패키지의 상기 볼 단자를 패터닝 회로에 전기적으로 도통되도록 접촉시켜 실장하는 제 6 단계를 더 포함하는 반도체용 멀티 칩 모듈의 패키징 방법.

【청구항 3】

제 1 항에 있어서,

상기 제 1 단계는 상기 테이프 위에 이방성 전도 접착제를 도포하여 상기 칩을 상기 테이프 위에 부착하는 것을 특징으로 한 반도체용 멀티 칩 모듈의 패키징 방법.

【청구항 4】

제 3 항에 있어서,

상기 테이프와 상기 칩을 C4(Controlled Collapse Chip Connection) 공정으로 연결하는 것을 특징으로 한 반도체용 멀티 칩 모듈의 패키징 방법.

【청구항 5】

제 1 항에 있어서,

상기 제 2 단계는 상기 칩의 상면에 이방성 전도 접착제를 도포하여 상기 테이프를 부착하는 것을 특징으로 한 반도체용 멀티 칩 모듈의 패키징 방법.

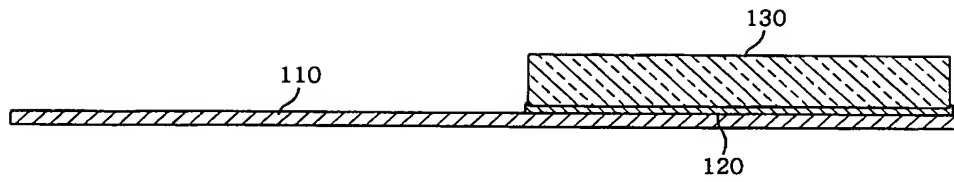
【청구항 6】

제 1 항에 있어서,

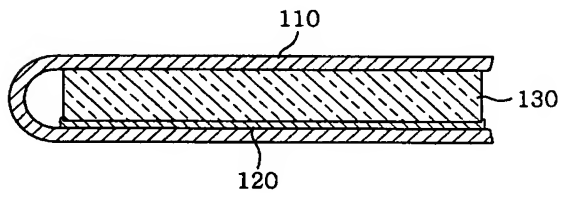
상기 개별 칩 스케일 패키지 중에서 최상층에 적층할 개별 칩 스케일 패키지는 상기 테이프가 칩의 하면만을 커버하도록 제작하는 것을 특징으로 한 반도체용 멀티 칩 모듈의 패키징 방법.

【도면】

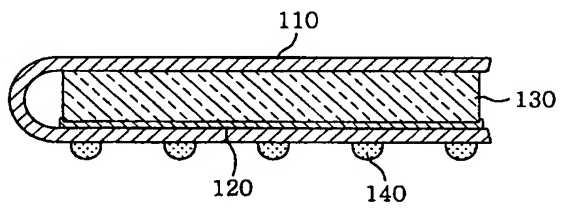
【도 1】



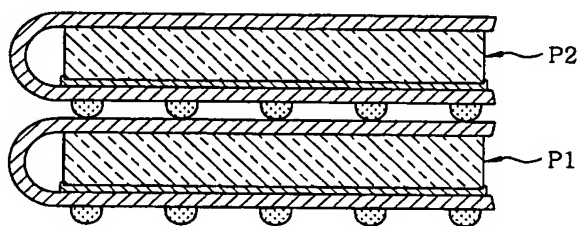
【도 2】



【도 3】



【도 4】



【도 5】

